

УДК 681.3

М.Х. Наджаджра², И.А. Мартынов¹, Э.И. Ватутин¹

evatutin@rambler.ru

¹Юго-Западный государственный университет, Курск

²AL-Istiqlal University, Jericho, Palestine

СХЕМОТЕХНИЧЕСКАЯ РЕАЛИЗАЦИЯ ОПЕРАЦИИ УМНОЖЕНИЯ БИТОВЫХ ВЕКТОРОВ ПРИ КЛАССИФИКАЦИИ БИНАРНЫХ ОТНОШЕНИЙ ГРАФ-СХЕМ ПАРАЛЛЕЛЬНЫХ АЛГОРИТМОВ

В работе предложена схемотехническая реализация операции умножения битовых векторов, используемая при аппаратно-ориентированной реализации транзитивного замыкания бинарного отношения следования вершин граф-схем параллельных алгоритмов.

Одной из важных частных подзадач, возникающей при обработке граф-схем параллельных алгоритмов, является задача классификации бинарных отношений вершин граф-схемы [1]. Построение корректной системы бинарных отношений играет важную роль при проектировании систем логического управления в базисе логических мультиконтроллеров [2, 3]. Для классификации отношений используется т.н. матрица отношений M_R , элементы которой представляют собой множество отношений между выбранной парой вершин. Выяснение значений отношений производится последовательно в следующем порядке: следование, связь, альтернатива, параллельность. Время построения матрицы отношений является существенным при обработке граф-схем параллельных алгоритмов из нескольких сотен вершин [4], поэтому с целью его снижения возможен перенос наиболее трудоемких операций (в данном случае – построение отношения следования, для чего необходимо выполнение транзитивного замыкания отношения с использованием алгоритма Флойда–Уоршалла) с программного уровня на аппаратный путем разработки специализированного вычислительного устройства, основой которого является специализированное матричное запоминающее устройство [5]. Выполнение транзитивного замыкания основано на операции умножения битовых векторов $m'_{ij} = m_{ij} \vee \bigvee_{k=1, N_G} m_{ik} m_{kj}$, где m_{ij} – элемент матрицы смежности M_R , $i, j = \overline{1, N_G}$, N_G – число вершин в составе граф-схемы. В отличие от классического умножения матриц [6, 7], которое может быть эффективно распараллелено, в алгоритме Флойда–Уоршалла важен порядок выполнения операций над строками и столбцами матрицы, что не позволяет эффективное распараллеливание вычислительного процесса на универсальных CPU или GPU и приводит к необходимости разработки специализированного устройства. Кроме того, в разработанном устройстве (см. рис.) умножение битовых векторов может быть досрочно прекращено при равенстве единице одного из сомножителей с использованием тождества $(1 \vee x = 1)$, что реализуется с использованием триггера 5 и результирующего признака го-

товности Θ . Использование возможности многопортового чтения из ЗУ позволяет реализацию параллельного обращения к компонентам обрабатываемых векторов.

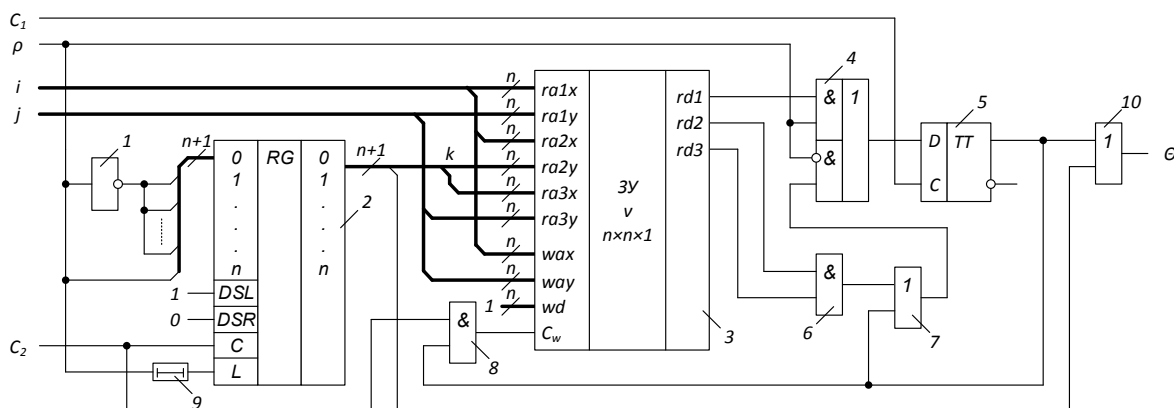


Рис. Схемотехническая реализация операции булева умножения выбранной строки и столбца матрицы смежности

1. Ватутин Э.И., Зотов И.В. Построение матрицы отношений в задаче оптимального разбиения параллельных управляющих алгоритмов // Известия КурскГТУ. Курск, 2004. № 2. С. 85–89.
2. Ватутин Э.И. Проектирование логических мультиконтроллеров. Синтез разбиений параллельных граф-схем алгоритмов. Saarbrücken: Lambert Academic Publishing, 2011 г. 292 с.
3. Комбинаторно-логические задачи синтеза разбиений параллельных алгоритмов логического управления при проектировании логических мультиконтроллеров / Э.И. Ватутин и др. Курск, 2010. 200 с.
4. Ватутин Э.И. Анализ узких мест программной реализации метода параллельно-последовательной декомпозиции граф-схем параллельных алгоритмов // Распознавание – 2013. Курск, 2013. С. 235–237.
5. Martynov I.A., Vatutin E.I., Titov V.S. Hardware oriented classification of binary relations of graph-schemes of parallel algorithms // World Conference on Intelligent Systems for Industrial Automation. Tashkent, 2014. PP. 70–73.
6. Ватутин Э.И., Мартынов И.А., Титов В.С. Оценка реальной производительности современных видеокарт с поддержкой технологии CUDA в задаче умножения матриц // Известия ЮЗГУ. Управление, вычислительная техника, информатика. Медицинское приборостроение. 2014. № 2. С. 8–17.
7. Ватутин Э.И., Мартынов И.А., Титов В.С. Оценка реальной производительности современных процессоров в задаче умножения матриц для однопоточной программной реализации // Известия ЮЗГУ. Управление, вычислительная техника, информатика. Медицинское приборостроение. 2013. № 4. С. 11–20.