

УДК 681.3

EDN: EKKWZP

**МАТЕМАТИЧЕСКАЯ МОДЕЛЬ И СТРУКТУРНО-ФУНКЦИОНАЛЬНАЯ ОРГАНИЗАЦИЯ  
ПАРАЛЛЕЛЬНО-КОНВЕЙЕРНОЙ ПАМЯТИ УСТРОЙСТВА  
ДЛЯ БЫСТРОГО УМНОЖЕНИЯ КВАДРАТНЫХ БИНАРНЫХ МАТРИЦ**

© Автор(ы) 2025

SPIN: 7288-8553

AuthorID: 1286755

ORCID: 0009-0004-6081-0395

**БОЛГАК Алексей Владимирович**, аспирант кафедры вычислительной техники

*Юго-Западный государственный университет*

*(305040, Россия, г. Курск, ул. 50 лет Октября, 94, aleksei.bolgack@yandex.ru)*

SPIN: 1273-2523

AuthorID: 510807

ORCID: 0000-0002-7362-7387

**ВАТУТИН Эдуард Игоревич**, доктор технических наук, доцент,

профессор кафедры вычислительной техники

*Юго-Западный государственный университет*

*(305040, Россия, г. Курск, ул. 50 лет Октября, 94, evatutin@rambler.ru)*

**Аннотация.** В данной статье рассматриваются матричные умножения в задаче поиска транзитивного замыкания бинарного отношения, обладающего свойством транзитивности, а также построения матрицы достижимости и контрдостижимости в графах общего вида. Приведены примеры ориентированных и неориентированных графов, а также примеры построения по данным графам матриц смежности и инцидентности. Отмечены основные свойства бинарных отношений. Рассмотрены специальные виды графов для описания последовательных и параллельных алгоритмов логического управления, сферы их применения, а также описаны основные свойства параллельных граф-схем алгоритмов. Выполнен анализ подходов к практической реализации в задаче поиска транзитивного замыкания бинарного отношения: алгоритмы Флойда-Уоршелла и возведения матрицы смежности в степень до тех пор, пока она не перестанет изменяться. Рассмотрена проблема обработки больших (тысячи элементов) граф-схем алгоритмов на процессоре (*CPU*) и основные методы оптимизации матричных вычислений на программном (алгоритмическом) и аппаратном уровне. Выделены основные виды цифровых устройств, основанных на принципе параллельно-конвейерной обработки данных, указаны их достоинства и недостатки. Предложено систолическое устройство для быстрого умножения квадратных бинарных матриц размером  $n \times n$ , отличительной особенностью которого является конвейеризация операции чтения данных из специализированной многопортовой памяти. Разработана его математическая модель и структурно-функциональная организация параллельно-конвейерной памяти. Предложенная в работе структурно-функциональная организация специализированной многопортовой конвейерной памяти обеспечивает темп чтения данных, не зависящий от размера обрабатываемых матриц. При несколько большей аппаратной сложности по сравнению с аналогами устройство обеспечивает умножение квадратных бинарных матриц размером  $n < 2000$  до 200 раз быстрее, что является существенным преимуществом при его построении в полузаказном исполнении с использованием программируемых логических интегральных схем (*FPGA*) или в заказном исполнении на базе интегральных схем специального назначения (*ASIC*).

**Ключевые слова:** умножение, бинарная матрица, граф, бинарное отношение, математическая модель, параллельно-конвейерная память, многопортовая память.

**MATHEMATICAL MODEL AND STRUCTURAL AND FUNCTIONAL ORGANIZATION  
OF PARALLEL-PIPELINE MEMORY OF A DEVICE FOR FAST MULTIPLICATION  
OF SQUARE BINARY MATRICES**

© The Author(s) 2025

**BOLGAK Aleksei Vladimirovich**, postgraduate student of the Department of Computer Engineering

*Southwest State University*

*(305040, Russia, Kursk, 50 let Oktyabrya str., 94, aleksei.bolgack@yandex.ru)*

**VATUTIN Eduard Igorevich**, doctor of technical sciences, associate professor,

professor of the Department of Computer Engineering

*Southwest State University*

*(305040, Russia, Kursk, 50 let Oktyabrya str., 94, evatutin@rambler.ru)*

**Abstract.** This article discusses matrix multiplications in the problem of searching for a transitive closure of a binary relation with the transitivity property, as well as constructing a reachability and counter-reachability matrix in graphs of general form. Examples of oriented and undirected graphs are given, as well as examples of constructing adjacency and incidence matrices based on these graphs. The main properties of binary relations are noted. Special types of graphs

for describing sequential and parallel logic control algorithms, their fields of application are considered, and the main properties of parallel graph schemes of algorithms are described. The analysis of approaches to practical implementation in the problem of searching for the transitive closure of a binary relation is performed: Floyd-Warshall algorithms and exponentiation of the adjacency matrix until it ceases to change. The problem of processing large (thousands of elements) graph schemes of algorithms on a processor (CPU) and basic optimization methods of matrix calculations at the software (algorithmic) and hardware levels are considered. The main types of digital devices based on the principle of parallel-pipeline data processing are highlighted, their advantages and disadvantages are indicated. A systolic device for fast multiplication of square binary matrices of size  $n \times n$  is proposed, the distinctive feature of which is pipelining the operation of reading data from a specialized multiport memory. Its mathematical model and the structural and functional organization of parallel-pipeline memory have been developed. The structural and functional organization of the specialized multiport pipelining memory proposed in the work ensures the data reading rate, independent of the size of the processed matrices. With a slightly higher hardware complexity compared to its analogues, the device provides multiplication of square binary matrices with a size  $n < 2000$  of 200 times faster, which is a significant advantage when it is built in a semi-custom design using programmable logic integrated circuits (FPGA) or in a custom design based on special-purpose integrated circuits (ASIC).

**Keywords:** multiplication, binary matrix, graph, binary relation, mathematical model, parallel-pipelined memory, multiport memory.

**Для цитирования:** Болгак А.В. Математическая модель и структурно-функциональная организация параллельно-конвейерной памяти устройства для быстрого умножения квадратных бинарных матриц / А.В. Болгак, Э.И. Ватутин // XXI век: итоги прошлого и проблемы настоящего плюс. – 2025. – Т. 14. – № 2(70). – С. 27-34. – EDN: EKKWZP.

**Введение.** В основе многих сложных вычислительно задач лежит матричное умножение, определяющее скорость их решения. Для матричных вычислений используется большое количество различных программных реализаций с различным набором алгоритмических и низкоуровневых оптимизаций (оптимизация работы кэш-памяти CPU [1-3], векторизация [4, 5], многопоточные программные реализации, CUDA- и OpenCL-ориентированные программные реализации [6-8], их комбинации с использованием интерфейса MPI). При решении ряда задач в области дискретной математики возникает необходимость в умножении бинарных матриц. К ним можно отнести задачи построения матрицы достижимости и контрдостижимости в графах общего вида [9], а также поиска транзитивного замыкания бинарного отношения, обладающего свойством транзитивности [10]. Графы общего вида разделяются на две группы: неориентированные (рис. 1) и ориентированные (рис. 2).

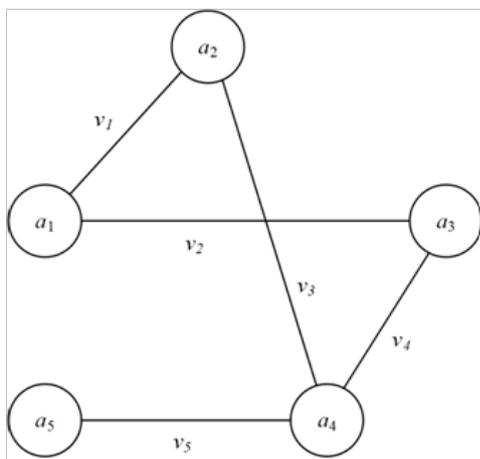


Рисунок 1 – Пример неориентированного графа общего вида

При работе с невзвешенными графами данные об их вершинах и ребрах хранятся в виде матриц смежности  $M_A$  (табл. 1, 4) и инцидентности  $M_I$  (табл. 2, 3, 5, 6), которые являются бинарными.

Таблица 1 – Пример матрицы смежности неориентированного графа, приведенного на рисунке 1

	$a_1$	$a_2$	$a_3$	$a_4$	$a_5$
$a_1$	0	1	1	0	0
$a_2$	1	0	0	1	0
$a_3$	1	0	0	1	0
$a_4$	0	1	1	0	1
$a_5$	0	0	0	1	0

Таблица 2 – Пример матрицы инцидентности неориентированного графа, приведенного на рисунке 1, в виде списка инцидентных вершин

Ребро	$a_{нач}$	$a_{кон}$
$v_1$	$a_1$	$a_2$
$v_2$	$a_1$	$a_3$
$v_3$	$a_2$	$a_4$
$v_4$	$a_3$	$a_4$
$v_5$	$a_4$	$a_5$

Таблица 3 – Пример матрицы инцидентности неориентированного графа, приведенного на рисунке 1, в виде прямоугольной бинарной матрицы

	$a_1$	$a_2$	$a_3$	$a_4$	$a_5$
$v_1$	1	1	0	0	0
$v_2$	1	0	1	0	0
$v_3$	0	1	0	1	0
$v_4$	0	0	1	1	0
$v_5$	0	0	0	1	1

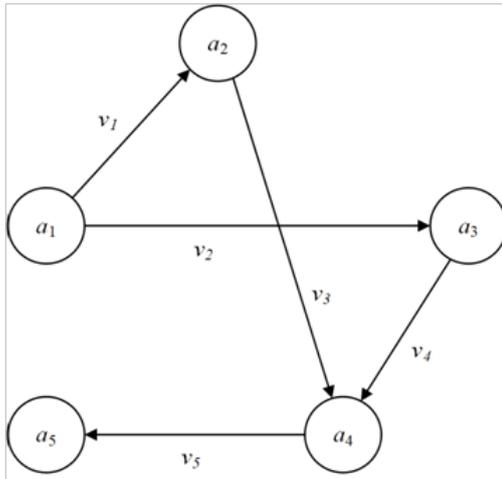


Рисунок 2 – Пример ориентированного графа общего вида

Таблица 4 – Пример матрицы смежности ориентированного графа, приведенного на рисунке 2

	a <sub>1</sub>	a <sub>2</sub>	a <sub>3</sub>	a <sub>4</sub>	a <sub>5</sub>
a <sub>1</sub>	0	1	1	0	0
a <sub>2</sub>	0	0	0	1	0
a <sub>3</sub>	0	0	0	1	0
a <sub>4</sub>	0	0	0	0	1
a <sub>5</sub>	0	0	0	0	0

Таблица 5 – Пример матрицы инцидентности ориентированного графа, приведенного на рисунке 2, в виде списка вершин

Дуга	a <sub>нач</sub>	a <sub>кон</sub>
v <sub>1</sub>	a <sub>1</sub>	a <sub>2</sub>
v <sub>2</sub>	a <sub>1</sub>	a <sub>3</sub>
v <sub>3</sub>	a <sub>2</sub>	a <sub>4</sub>
v <sub>4</sub>	a <sub>3</sub>	a <sub>4</sub>
v <sub>5</sub>	a <sub>4</sub>	a <sub>5</sub>

Таблица 6 – Пример матрицы инцидентности ориентированного графа, приведенного на рисунке 2, в виде прямоугольной матрицы

	a <sub>1</sub>	a <sub>2</sub>	a <sub>3</sub>	a <sub>4</sub>	a <sub>5</sub>
v <sub>1</sub>	1	-1	0	0	0
v <sub>2</sub>	1	0	-1	0	0
v <sub>3</sub>	0	1	0	-1	0
v <sub>4</sub>	0	0	1	-1	0
v <sub>5</sub>	0	0	0	1	-1

Связность вершин графа может быть рассмотрена с позиции бинарных отношений. Известны следующие свойства бинарных отношений [9]:

- транзитивность ( $\forall x, y, z \in S: xRy, yRz \Rightarrow xRz$ );
- рефлексивность ( $\forall x \in S: xRx$ );
- симметричность ( $\forall x, y \in S: xRy \Rightarrow yRx$ ).

При работе с бинарными отношениями, обладающими свойством транзитивности, одной из задач ставится задача поиска транзитивного замыкания бинарного отношения. Для приведенных выше

примеров графов ее решение соответствует построению матрицы достижимости, для неориентированного графа (рис. 1) она имеет вид

$$\begin{pmatrix} 0 & 1 & 1 & 0 & 0 \\ 1 & 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 1 & 0 \\ 0 & 1 & 1 & 0 & 1 \\ 0 & 0 & 0 & 1 & 0 \end{pmatrix}_{M_A} \Rightarrow \begin{pmatrix} 1 & 1 & 1 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 & 1 \\ 0 & 1 & 1 & 1 & 1 \end{pmatrix}_{M'_A = M_A \vee M_A^2} \Rightarrow \begin{pmatrix} 1 & 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 & 1 \end{pmatrix}_{M''_A = M'_A \vee (M'_A)^2}$$

Пример нахождения транзитивного замыкания отношения связи для ориентированного графа, приведенного на рисунке 2, приведен ниже:

$$\begin{pmatrix} 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 \end{pmatrix}_{M_A} \Rightarrow \begin{pmatrix} 0 & 1 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 \end{pmatrix}_{M'_A = M_A \vee M_A^2} \Rightarrow \begin{pmatrix} 0 & 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 \end{pmatrix}_{M''_A = M'_A \vee (M'_A)^2}$$

По матрице достижимости возможно построение матрицы контрдостижимости с использованием формулы  $M_C = M''_A \wedge (M''_A)^T$ .

Кроме того, существуют специальные виды графов. Например, известно формализованное описание класса последовательных [11] и параллельных алгоритмов логического управления [12]. Графы данного вида применяются в математике и программировании для наглядного отображения логики работы программы, а также при проектировании логических мультиконтроллеров.

При работе с граф-схемами параллельных алгоритмов используются следующие бинарные отношения (табл. 7).

Таблица 7 – Бинарные отношения граф-схем параллельных алгоритмов и их свойства

Бинарное отношение	Свойство
Связи ( $\varphi$ )	Рефлексивность, симметричность
Следования ( $\psi$ )	Антирефлексивность, несимметричность, транзитивность
Параллельности ( $\omega$ )	Рефлексивность, симметричность, нетранзитивность
Альтернативы ( $\psi$ )	Антирефлексивность, симметричность, нетранзитивность

Введенная система бинарных отношений характеризуется следующими свойствами [12]:

$$v \subset \varphi, \quad (1)$$

$$a_i \varphi a_j \Leftrightarrow a_i = a_j \vee a_i \vee a_j \vee a_j \vee a_i, \quad (2)$$

$$\varphi \cup \psi \cup \omega = A \times A, \quad (3)$$

$$\varphi \cap \psi = \emptyset, \psi \cap \omega = \emptyset, \varphi \cap \omega = \emptyset, \quad (4)$$

$$a_i \eta_1 a_j \Leftrightarrow \neg a_i \eta_2 a_j \wedge \neg a_i \eta_3 a_j, \quad (5)$$

$$\eta_1, \eta_2, \eta_3 \in \varphi, \psi, \omega, \eta_1 \neq \eta_2, \eta_1 \neq \eta_3, \eta_2 \neq \eta_3$$

На рисунке 3 представлен пример последовательного алгоритма и отношения альтернативы между парами вершин  $a_4 \psi a_5$  и  $a_4 \psi a_6$ , а на рисунке 4 – пример параллельной граф-схемы алгоритма и отношения параллельности между парами вершин  $a_1 \omega a_2$ ,  $a_1 \omega a_3$ .

Чтобы найти бинарное отношение достижимости в графах общего вида необходимо выполнить

транзитивное замыкание для отношения следования, после чего можно определить отношение связи. Далее определяется отношение альтернативы на базе построения путей в составе соответствующих альтернативных ветвлений. После определения названных отношений становится возможным выяснение отношения параллельности в соответствии с (5). Наиболее трудоемким из вышеперечисленного является этап транзитивного замыкания отношения следования.

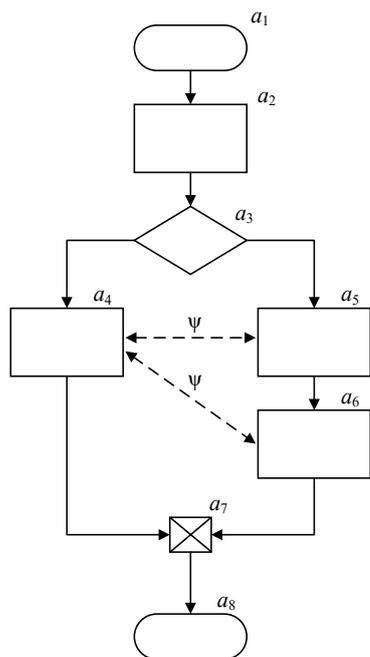


Рисунок 3 – Пример граф-схемы алгоритма

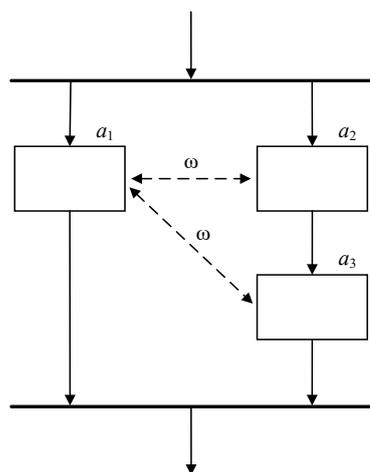


Рисунок 4 – Пример граф-схемы параллельного алгоритма

**Методология.** К практическому решению задачи поиска транзитивного замыкания бинарного отношения реализуются два подхода. Первый из них основывается на алгоритме Флойда-Уоршелла [13, 14], в соответствии с которым реализуется особый порядок рассмотрения элементов матриц, позволяющий найти матрицу достижимости за один проход. Это является ключевым преимуществом

данного алгоритма, но, наряду с этим, ему свойствен недостаток, связанный с тем, что алгоритм Флойда-Уоршелла нельзя распараллелить, поскольку он зависит от порядка выполнения операций умножения. Временная асимптотика алгоритма Флойда-Уоршелла составляет величину  $O(n^3)$ . Второй подход основан на возведении матрицы смежности в квадрат до тех пор, пока она не перестанет изменяться. Результирующее значение матрицы, обладающей свойством транзитивного замыкания, будет получено в худшем случае за  $[log_2 n]$  шагов (возведений матрицы в квадрат), а временная асимптотика алгоритма составит величину  $O(n^3 log n)$ . Следовательно, временные затраты у данного подхода выше, чем у алгоритма Флойда-Уоршелла, однако такой алгоритм допускает распараллеливание, так как не связан с порядком выполняемых операций.

Обработка больших (тысячи элементов) граф-схем алгоритмов на современных CPU достигает нескольких минут. Для оптимизации матричных вычислений используют программный и аппаратный методы. При программной реализации применяют базовый подход к умножению матриц – классическое умножение. Данный подход достаточно прост, однако неэффективен, когда размер матриц превышает объем кэш-памяти CPU. В связи с этим на практике применяются различные алгоритмические подходы, позволяющие снизить число промахов кэша CPU и увеличить реальную производительность вычислительной системы. Так умножение с буферизацией  $j$ -го столбца или блочное умножение позволяют эффективно использовать кэш-память CPU [3]. Еще одним известным направлением для снижения временных затрат на матричные вычисления является умножение матриц на графических процессорах с разделяемой памятью (GPU) в рамках концепции GPGPU. Использование параллельных программных реализаций, ориентированных на использование технологий CUDA, OpenCL, STREAM для GPU [6-8] позволяют также повысить реальную производительность вычислительной системы. В случае, если на программном уровне время выполнения операции умножения матриц оказывается неприемлемо долгим, то оправдан перенос данной операции на аппаратный уровень. Различные подходы к аппаратной реализации умножения матриц могут быть разделены на три основные группы (табл. 8).

В устройстве-прототипе [22] была предложена соответствующая структурно-функциональная организация многопортовой памяти, обеспечивающая чтение  $2n$  пар коэффициентов матриц в каждом такте, что значительно превосходит возможности классической памяти (DDR или GDDR), обеспечивающей чтение только одного операнда за такт. В ходе оценки его быстродействия [23] было выявлено, что с увеличением размера обрабатываемых матриц ( $n > 64$ ) время работы устройства (конвейерный такт) по-прежнему лимитируется темпом поступления данных из памяти.

Таблица 8 – Виды устройств умножения матриц и их описание

Группа	Описание
Оптические устройства [15-17]	Устройства данной группы в настоящее время не используются в вычислительной технике
Устройства, основанные на аналоговых вероятностных принципах обработки сигналов [18]	Отсутствие строгого соответствия стандартам представления чисел с плавающей запятой (IEEE 754) и низкая точность вычислений устройств данной группы ограничивают их применение в современных практических задачах
Цифровые устройства с параллельно-конвейерной архитектурой [19-21]	В основу устройств данной группы заложен принцип параллельной и конвейерной обработки данных. Операция умножения матриц, занимающая значительное время при последовательной обработке, выполняется за линейное время на устройствах данной группы, что обеспечивает существенный выигрыш в производительности

**Результаты.** На основании выполненного анализа предложено устройство для умножения квадратных бинарных матриц (рис. 5, 6), работа которого основана на систолическом принципе умножения. Особенностью данного устройства является конвейеризация операции чтения данных из памяти.

На рисунке 6 приведена функциональная схема предложенного устройства, включающая в себя  $n \times n$  операционных блоков (где  $n$  – размер перемножаемых квадратных матриц), блоки коэффициентов матриц 2, 3, сдвиговый регистр 4, группу из  $n$  двухступенчатых регистров 5. Схема операционного блока устройства (рис. 5) состоит из двухступенчатых триггеров 6, 7, 8, логических элементов ИЛИ 10, 13, логических элементов И 9, 11, 12, инвертора 14. Схема блока коэффициентов матрицы устройства

(одна ячейка для хранения одного коэффициента матрицы в рамках многопортовой памяти) (рис. 7) содержит  $n \times n$  блоков хранения 15, два группы из  $(n - 1)$  двухступенчатых регистров 39, 40, группу из  $n \times n$  двухступенчатых триггеров 41, группу из  $n \times (n - 1)$  логических элементов ИЛИ 42. Схема блока хранения одной ячейки памяти устройства (специализированная конвейерная многопортовая память) (рис. 8) состоит из триггера 16, логического элемента И 17, группы из  $n$  элементов И 18, группы из  $n$  элементов ИЛИ 19, блоков из  $n$  двухступенчатых триггеров 28, 29, 30.

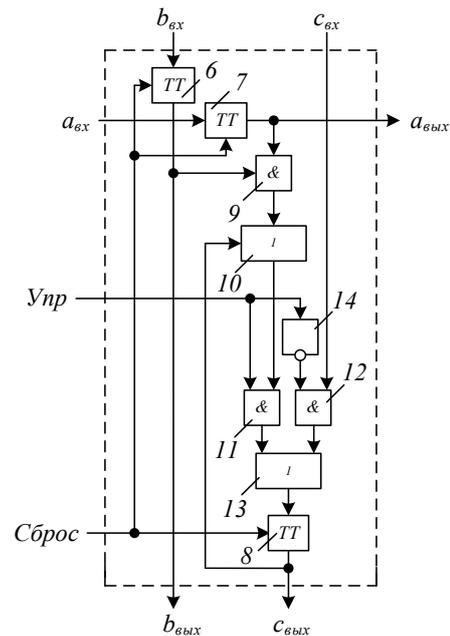


Рисунок 5 – Схема операционного блока предложенного устройства

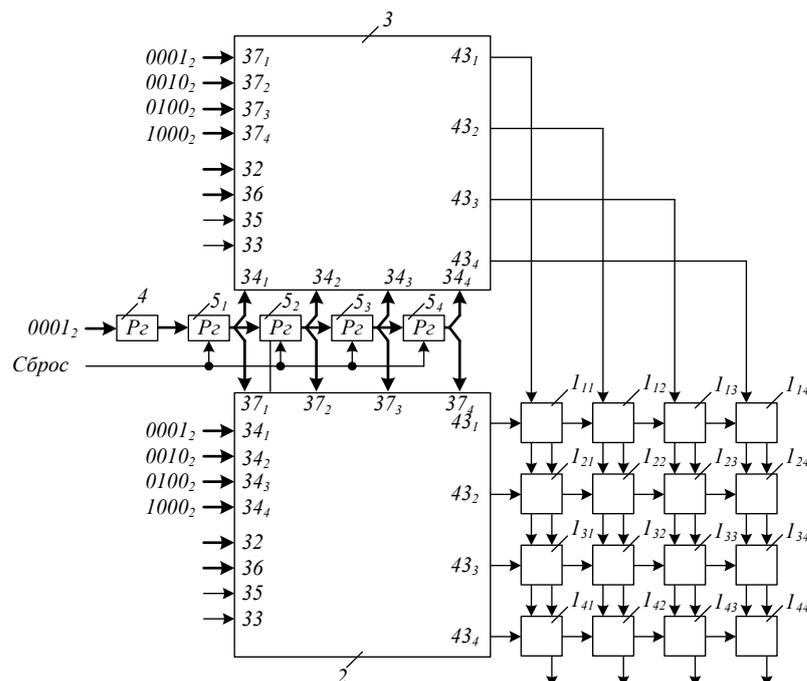


Рисунок 6 – Функциональная схема предложенного устройства

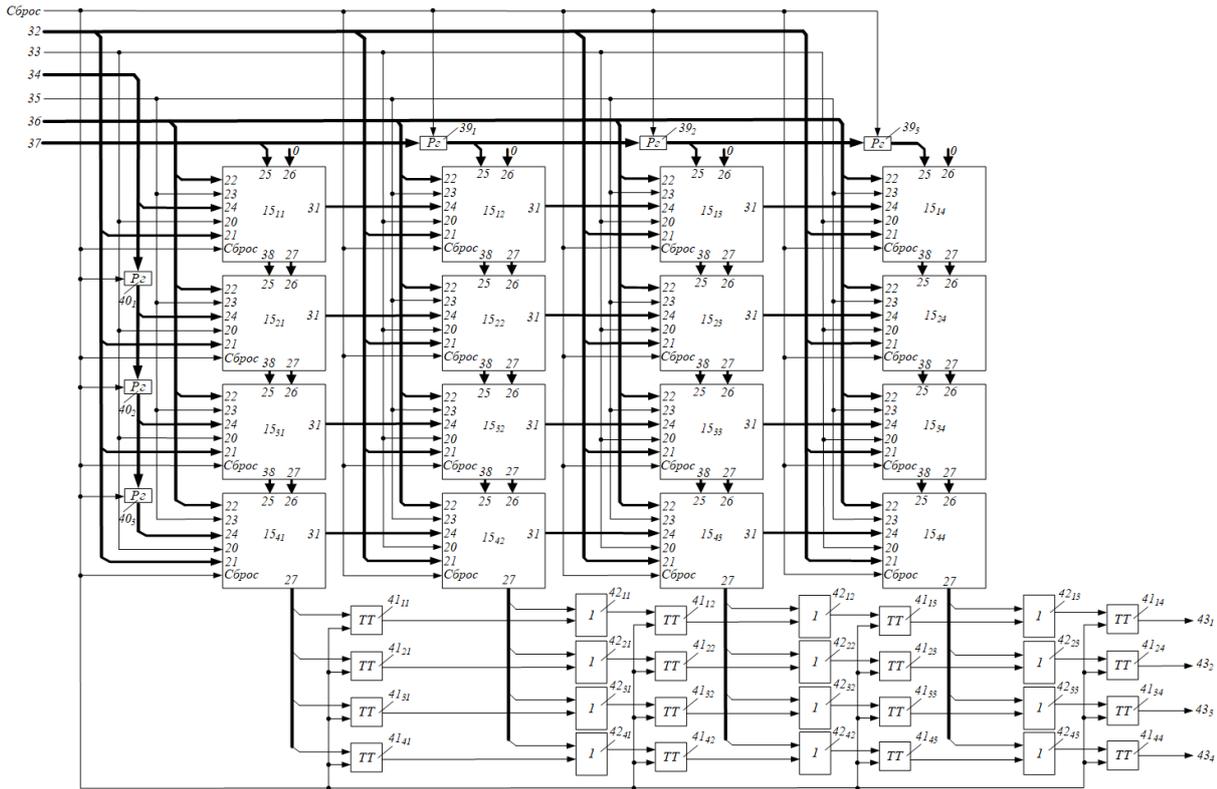


Рисунок 7 – Схема блока коэффициентов матрицы предложенного устройства

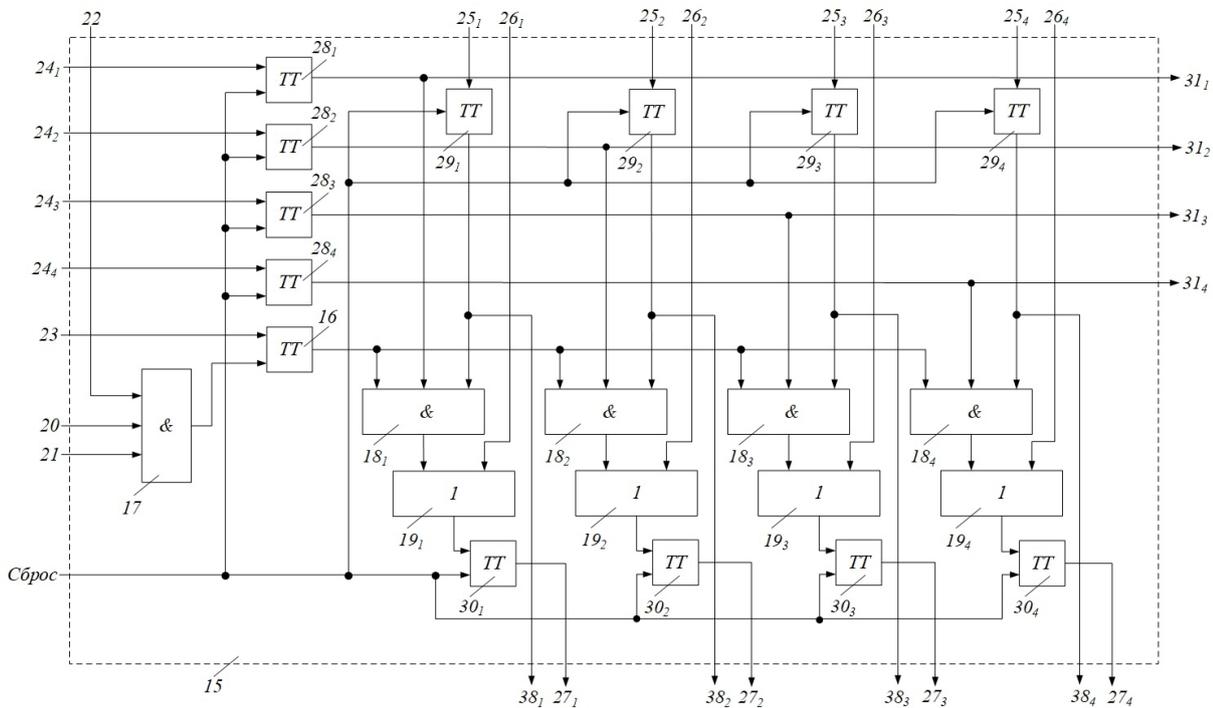


Рисунок 8 – Функциональная схема блока хранения предложенного устройства

**Обсуждение.** Опишем математическую модель организации специализированной многопортовой конвейерной памяти (рис. 7), включающей в своем составе  $n \times n$  блоков хранения (рис. 8). Предложенная специализированная память устройства работает в соответствии со следующей математической моделью:

$$Pc\ 39_i^{(t)} := Pc\ 39_{i-1}^{(t-1)}, i = \overline{2, n}, \quad (6)$$

$$Pc\ 40_j^{(t)} := Pc\ 40_{j-1}^{(t-1)}, j = \overline{2, n} \quad (7)$$

$$TT\ 29_k^{(t)}[i, j] := TT\ 29_k^{(t-1)}[i, j - 1], i = \overline{1, n}, j = \overline{2, n}, k = \overline{1, n}, \quad (8)$$

$$TT\ 28_k^{(t)}[i, j] := TT\ 28_k^{(t-1)}[i - 1, j], i = \overline{2, n}, j = \overline{1, n}, k = \overline{1, n}, \quad (9)$$

$$\begin{aligned} TT30_k^{(t)}[i, j] &:= D[i, j] \& TT29_k^{(t)}[i, j] \& TT28_k^{(t)}[i, j] \vee \\ \vee TT30_k^{(t-1)}[i-1, j], & i = \overline{2, n}, \\ j = \overline{1, n}, k = \overline{1, n}, & \\ TT41_k^{(t)}[k, 1] &:= TT30_k^{(t-1)}[n, 1], k = \overline{1, n}, \\ TT41_k^{(t)}[k, j] &:= TT41_k^{(t-1)}[k, j-1] \vee TT30_k^{(t-1)}[n, j], \\ j = \overline{2, n}, k = \overline{1, n}. & \end{aligned} \quad (10)$$

Здесь  $i, j = \overline{1, n}$  – номера текущего блока хранения,  $k = \overline{1, n}$  – номер порта чтения,  $t$  – номер такта.

Формула (6) соответствует конвейерному принципу продвижения адресов по столбцам, формула (7) – конвейерному принципу продвижения адресов по строкам (адреса задаются в унитарном коде вида 00...01000...00, где единица соответствует номеру строки и/или столбца выбранного блока хранения). Формулы (8) и (9) соответствуют конвейерному движению указанных выше адресов в блоках хранения ячеек памяти, а формула (10) – чтению и последующему конвейерному продвижению данных из выбранного блока хранения вниз по столбцам. Формула (11) описывает дальнейшее конвейерное продвижение прочитанных данных на выход блока коэффициентов матриц.

**Выводы.** Предложенная в работе структурно-функциональная организация специализированной многопортовой конвейерной памяти обеспечивает темп чтения данных, не зависящий в отличие от устройства-прототипа от размера обрабатываемых матриц.

По предварительным оценкам предложенное устройство с конвейеризацией операции чтения данных из специализированной многопортовой памяти несмотря на 9 раз большую аппаратную сложность по сравнению с устройством-прототипом способно обеспечить снижение временных затрат до 200 раз при умножении квадратных бинарных матриц размером  $n < 2000$ , что является существенным преимуществом при его построении на *FPGA* или *ASIC*. Путем незначительного изменения структуры блоков хранения предложенное устройство можно использовать для умножения матриц общего вида.

### СПИСОК ЛИТЕРАТУРЫ:

1. Кожин А.С. Методы оптимизации времени доступа в общий кэш многоядерного микропроцессора / А.С. Кожин, Ю.А. Недбайло // Вопросы радиоэлектроники. – 2017. – № 3. – С. 27-32.
2. Егунов В.А. О влиянии кэш-памяти на эффективность программной реализации базовых операций линейной алгебры / Егунов В.А. // Прикаспийский журнал: управление и высокие технологии. – 2018. – № 3. – С. 88-96.
3. Болгак А.В. Оценка реальной производительности процессоров семейства Intel Core различных поколений в задаче умножения вещественных матриц для однопоточной программной реализации / Болгак А.В., Ватулин Э.И. // Облачные и распределенные вычислительные системы в электронном управлении. ОРВС – 2023: сборник трудов 4-й международной научно-технической конференции (28 ноября – 1 декабря 2023 года) / ред. кол.: И.И. Курочкин [и др.]; ИПС РАН. Переславль-Залесский. – Курск: Изд-во ЗАО «Университетская книга». – 2024. – С. 98-100.
4. Ватулин Э.И. Оценка реальной производительности

современных процессоров в задаче умножения матриц для однопоточной программной реализации с использованием расширения SSE (часть 1) / Ватулин Э.И., Титов В.С. // Известия Юго-Западного государственного университета. – 2015. – Т. 1. – № 4 (61). – С. 26-35.

5. Ватулин Э.И. Оценка реальной производительности современных процессоров в задаче умножения матриц для однопоточной программной реализации с использованием расширения SSE (часть 2) / Ватулин Э.И., Титов В.С. // Известия Юго-Западного государственного университета. – 2015. – Т. 1. – № 5 (62). – С. 8-16.

6. Ватулин Э.И. Оценка реальной производительности современных видеокарт с поддержкой технологии CUDA в задаче умножения матриц / Ватулин Э.И., Мартынов И.А., Титов В.С. // Известия Юго-Западного государственного университета. Серия: Управление, вычислительная техника, информатика. Медицинское приборостроение. – 2014. – № 2. – С. 8-17.

7. Боресков А.В. Параллельные вычисления на GPU. Архитектура и программная модель CUDA: Учеб. пособие / Боресков А.В., Харламов А.А., Марковский Н.Д., Микушин Д.Н., Мортиков Е.В., Мильцев А.А., Сахарных Н.А., Фролов В.А. Предисл.: Садовничий В.А. // М.: изд-во Московского университета, 2012. – 336 с.

8. Старовойтов И.Н. Параллельные вычисления на графических процессорах / Старовойтов И.Н., Ревняков Е.Н., Полякова Е.Н. // Первая Международная научная конференция по проблемам цифровизации: EDCRUNCH URAL – 2020: материалы конференции (Екатеринбург, 29-30 сентября 2020 г.); М-во науки и высш. образования РФ. – Екатеринбург: Изд-во Урал. ун-та. – 2020. – С. 314-319.

9. Зыков А. А. Основы теории графов / Зыков А. А. // М.: Наука. – 1986. – 384 с.

10. Ватулин Э.И. Построение матрицы отношений в задаче оптимального разбиения параллельных управляющих алгоритмов / Ватулин Э.И., Зотов И.В. // Известия Курского государственного технического университета, Курск. – 2004. – № 2. – С. 85-89.

11. Баранов С.И. Синтез микропрограммных автоматов (граф-схемы и автоматы) / С.И. Баранов. // Л.: Энергия. – 1979. – 232 с.

12. Зотов И.В. Организация и синтез микропрограммных мультимикроконтроллеров / Зотов И.В., Колосков В.А., Титов В.С., Сапронов К.А., Волков А.П. // Курск: ГУИПП «Курск». – 1999. – 368 с.

13. Левитин А.В. Глава 11. Преодоление ограничений: Метод деления пополам / Левитин А.В. // Алгоритмы. Введение в разработку и анализ. М.: Вильямс, 2006. – С.349-353.

14. Ismail H. Toroslu Improving The Floyd-Warshall All Pairs Shortest Paths Algorithm / Ismail H. Toroslu // Dept. of Computer Eng., METU, Ankara, Turkey. 4 Sep 2021. – P. 1-5. – DOI:10.48550/arXiv.2109.01872.

15. Гребнев А.К. Оптоэлектронные элементы и устройства / Гребнев А.К., Гридин В.Н., Дмитриев В.П.; Под ред. Гуляева Ю.В. // Издательство «Радио и связь». – 1998. – 336 с.: ил.

16. Юшин А.М. Справочник. Оптоэлектронные приборы и их зарубежные аналоги / Юшин А.М. // Издательство «РадиоСофт». – Москва, 2000. – Т.1. – 512 с.

17. Белов П.А. Оптические процессоры: достижения и новые идеи / Белов П.А., Беспалов В.Г., Васильев В.Н., Козлов С.А., Павлов А.В., Симовский К.Р., Шполянский Ю.А. // В кн.: Проблемы когерентной и нелинейной оптики. – СПб, 2006. – С. 6-36.

18. Плаксиенко В.С. Устройства приема и обработки сигналов: Учебное пособие для вузов / Плаксиенко В.С., Плаксиенко Н.Е., Плаксиенко С.В. Под ред. Плаксиенко В.С. // М.: Учебно-методический издательский центр «Учебная литература», 2004. – 376 с.: ил.

19. Одинец А.И. Цифровые устройства: АЦП и ЦАП: Учеб. пособие / Одинец А.И., Науменко А.П. // Омск: Изд-во ИРСИД. – 2006. – 48 с.

20. Gümüşkaya Haluk A parallel pipelined computer architecture for digital signal processing / Gümüşkaya Haluk, Örencik Bülent // Turkish Journal of Electrical Engineering and Computer Sciences. – 1998. – Vol. 6. – No. 2. – Article 4. – P. 107-130. – URL: <https://journals.tubitak.gov.tr/elektrik/vol6/iss2/4> (дата обращения: 13.02.2025).

21. Строгонов А.В. Основы цифровой обработки сигналов / Строгонов А.В. // Воронеж: ФГБОУ ВПО «Воронежский государственный технический университет». – 2014. – URL: <https://cchgeu.ru/upload/iblock/db0/osnovytsos.pdf> (дата обращения: 20.02.2025).

22. Гвоздева С.Н. Устройство для умножения бинарных матриц / Гвоздева С.Н., Ватутин Э.И., Пшеничных А.О., Титов В.С. // Патент РФ на полезную модель № 193927. Заявл. 26.06.2019, опубл. 21.11.2019.

23. Гвоздева С.Н. Оценка быстродействия устройства с систолической структурой для умножения бинарных матриц / Гвоздева С.Н., Ватутин Э.И., Титов В.С. // Телекоммуникации. – Т. 3. – 2020. – С. 2-10.

*Статья поступила в редакцию 31.03.2025*

*Статья принята к публикации 17.06.2025*