

1. Colbourn C. J., Dinitz J. H. Handbook of Combinatorial Designs. Second Edition. Chapman & Hall/CRC, 2006. 1016 p.
2. Keedwell A. D., Dénes J. Latin Squares and their Applications. Elsevier, 2015. 438 p. DOI: 10.1016/C2014-0-03412-0.
3. Чебраков Ю. В. Теория магических матриц. СПб., 2016. 352 с.
4. Enumeration of isotopy classes of diagonal Latin squares of small order using volunteer computing / E. Vatutin, A. Belyshev, S. Kochemazov, O. Zaikin, N. Nikitina // Communications in Computer and Information Science. 2018. Vol. 965. P. 578–586. doi: 10.1007/978-3-030-05807-4_49.
5. Sloane N. J. A. Online encyclopedia of integer sequences. URL: <https://oeis.org/>.

УДК 621.397.01

С. Н. Гвоздева, Э. И. Ватутин

ФГБОУ ВО «Юго-Западный государственный университет» (Россия, Курск)

ОЦЕНКА АППАРАТНОЙ СЛОЖНОСТИ УСТРОЙСТВА ДЛЯ ВОЗВЕДЕНИЯ БИНАРНОЙ МАТРИЦЫ В КВАДРАТ

Предложено устройство для возведения бинарной матрицы в квадрат и расчет его аппаратной сложности, в ходе расчета установлено что данное устройство по сравнению с прототипом имеет выигрыш в 5,6–402,3 раза.

Ключевые слова: умножение матриц; многопортовая память; специализированные вычислительные устройства.

Задача умножения матриц является довольно распространенной, для ее решения известно большое количество алгоритмов и их практических реализаций (как программных, ориентированных на различные классы аппаратного обеспечения с параллельной архитектурой, так и аппаратных). В некоторых задачах теории множеств и теории графов возникает необходимость в умножении бинарных матриц, которое может быть реализовано с использованием тех же алгоритмов и их реализаций, однако при этом зачастую программные реализации характеризуются большим временем и затратами памяти, а аппаратные – большой аппаратной сложностью. Все перечисленные характеристики можно снизить путем разработки узкоспециализированных реализаций, ориентированных именно на обработку бинарных матриц.

Задача возведения бинарной матрицы в квадрат является одной из таких задач и находит практическое применение при транзитивном замыкании бинарного отношения (например, при определении достижимости/контрдостижимости в графах [1], при классификации бинарных отноше-

ний граф-схем алгоритмов [2]). При обработке матриц большого размера (например, в томографии) время выполнения умножения становится неприемлемо большим, что делает актуальной разработку специализированных параллельных реализаций алгоритмов матричного умножения. В данной работе приведено описание специализированного устройства для возведения бинарной матрицы в квадрат.

На рис. 1 приведена структурная схема устройства для возведения бинарной матрицы в квадрат.

Технической задачей предложенного устройства является снижение аппаратной сложности при реализации возможности возведения бинарной матрицы размером $n \times n$ в квадрат. Описание алгоритмов работы предложенного устройства приведено в [3].

Произведем оценку аппаратной сложности устройства. Она складывается из сложности блока хранения 52, элемента НЕ 1, сдвигового регистра 2, сдвигового регистра 3, элемента задержки 4, элемента И 5, элемента И 6, элемента задержки 7, элемента НЕ 8, сдвигового регистра 9, сложности блока коэффициентов матрицы 10, коммутатора 11, двухступенчатого триггера 12, элемента И 13, элемента ИЛИ 14, элемента И 15, элемента ИЛИ 16, элемента задержки 17, элемента ИЛИ 18, коммутатора 19, коммутатора 20.

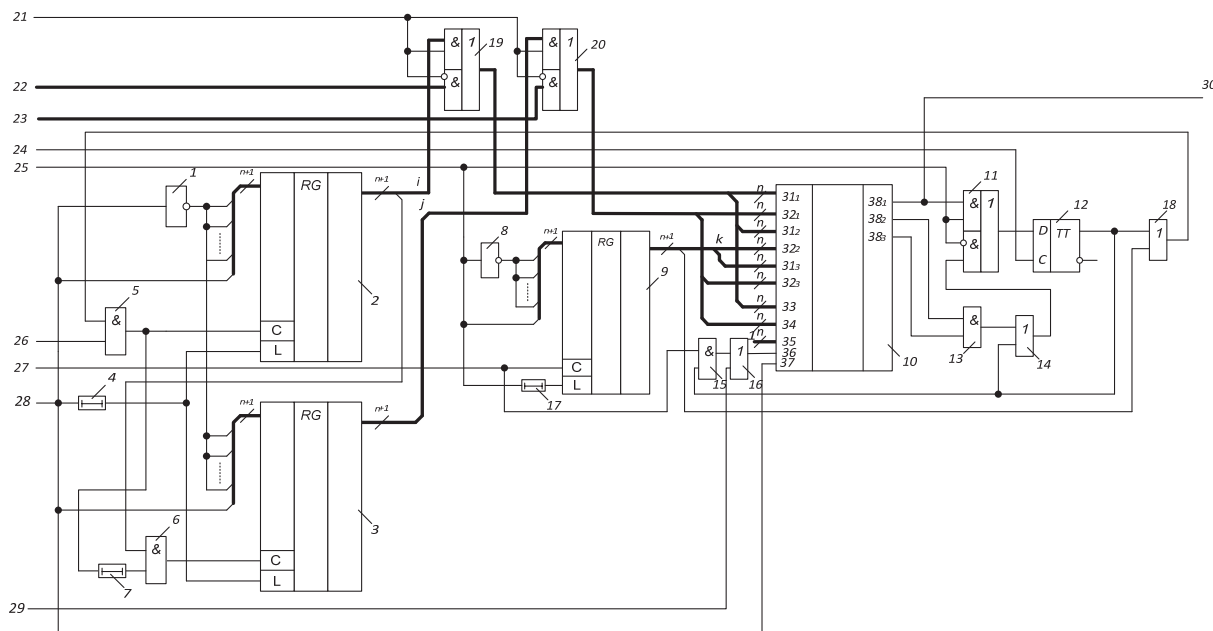


Рис. 1. Структурная схема устройства для возведения бинарной матрицы в квадрат

Блок хранения (рис. 2) включает в себя следующие элементы: элемент И9 сложностью 2 эквивалентных вентиля (одно- или двухвходовых логических элементах, выполняющих элементарную логическую операцию, сокр.

ЭВ); триггер 40 сложностью 4 ЭВ; элемент И 41 сложностью 2 ЭВ; элемент ИЛИ 42 сложностью 1 ЭВ:

$$R_1 = R_{II} + (R_{II} + R_{ИЛИ})k + R_{ТТ} = 2 + (2 + 1)k + 4 = 6 + 3k,$$

где k – число портов чтения многопортового ОЗУ [4]. В рассматриваемом устройстве $k = 3$, поэтому $R_1 = 15$.

Аппаратная сложность блока коэффициентов матрицы предлагаемого устройства складывается из аппаратной сложности $n \times n$ блоков хранения и аппаратной сложности блока элементов 53, представляющего собой блок n -входных элементов ИЛИ:

$$R_2 = n^2 R_1 + k(n - 1) = n^2 \cdot 15 + 3(n - 1) = 15n^2 + 3n - 3. \quad (1)$$

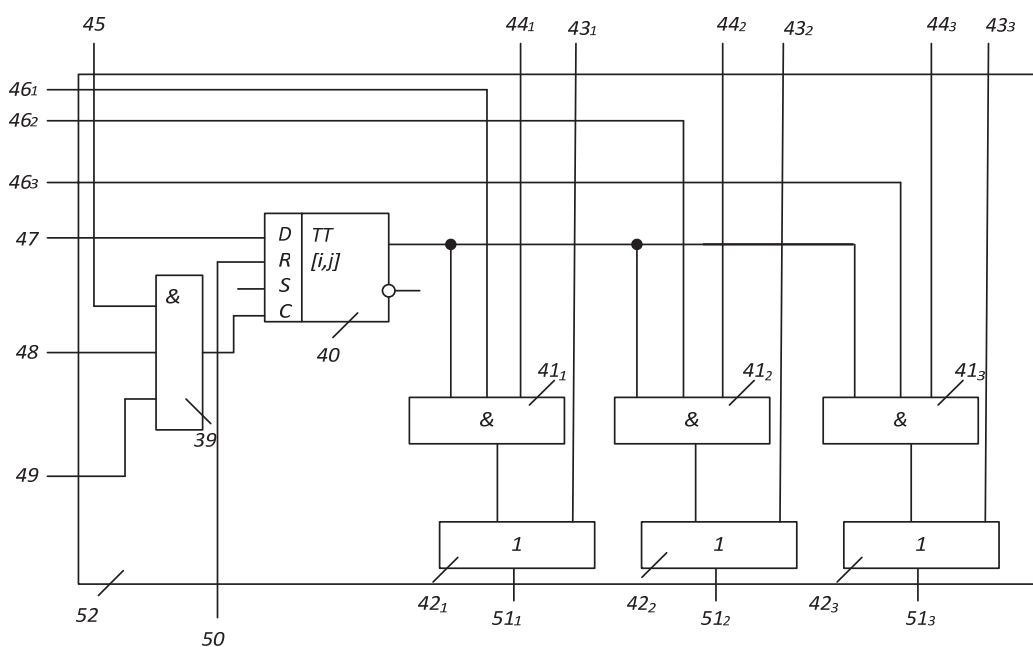


Рис. 2. Структурная схема блока хранения предложенного устройства

Рассчитаем аппаратную сложность всего устройства для возведения бинарной матрицы в квадрат. Оно содержит: элемент НЕ 1 сложностью 1 ЭВ, сдвиговый регистр 2 сложностью $12(n + 1)$ ЭВ, сдвиговый регистр 3 сложностью $12(n + 1)$ ЭВ, элемент задержки 4 сложностью 2 ЭВ, элемент И 5 сложностью 1 ЭВ, элемент И 6 сложностью 1 ЭВ, элемент задержки 7 сложностью 2 ЭВ, элемент НЕ 8 сложностью 1 ЭВ, сдвиговый регистр 9 сложностью $12(n + 1)$ ЭВ, блок коэффициентов матрицы 10 сложностью $15n^2 + 3n - 3$ ЭВ, коммутатор 11 сложностью 3 ЭВ, двухступенчатый триггер 12 сложностью 8 ЭВ, элемент И 13 сложностью 1 ЭВ, элемент ИЛИ 14 сложностью 1 ЭВ, элемент И 15 сложностью 1 ЭВ, элемент ИЛИ 16 сложностью 1 ЭВ, элемент за-

держки 17 сложностью 2 ЭВ, элемент ИЛИ 18 сложностью 1 ЭВ, коммутатор 19 сложностью 3n ЭВ, коммутатор 20 сложностью 3n ЭВ.

Совокупная аппаратная сложность предлагаемого устройства определяется как

$$\begin{aligned} R_3 &= R_{HE} + R_{CPГ} + R_{CPГ} + R_3 + R_{И} + R_{И} + R_3 + R_{HE} + R_2 + \\ &+ R_K + R_{TT} + R_{И} + R_{ИЛИ} + R_{И} + R_{ИЛИ} + R_3 + R_{ИЛИ} + R_K + R_K = \\ &= 1 + 12(n+1) + 12(n+1) + 2 + 1 + 1 + 2 + 1 + 12(n+1) + R_2 + \\ &+ 3 + 8 + 1 + 1 + 1 + 1 + 2 + 1 + 3n + 3n = 15n^2 + 45n + 59. \end{aligned}$$

Существует устройство [5], которое является прототипом для рассматриваемого устройства. Аппаратная сложность прототипа складывается из сложности блоков коэффициентов матрицы; набора регистров, включающего в себя сдвиговой регистр и n двухступенчатых регистров, причем сложность 1 регистра составляет $4n$ ЭВ, всего регистров $(n+1)$; сложности операционного блока устройства [6]:

$$\begin{aligned} R_{прот} &= 2R_{БХ} + 4n(n+1) + R_1 = 2(6n^2 + 3kn^2 + kn - k) + 4n^2 + \\ &+ 4n + 18n^2 = 12n^2 + 6kn^2 + 2kn - 2k + 22n^2 + 4n = \\ &= 34n^2 + 6kn^2 + 2kn - 2k + 4n. \end{aligned} \quad (2)$$

Так как число портов чтения k блоков хранения совпадает с размером перемножаемых матриц n , то

$$R_{прот} = 34n^2 + 6n^3 + 2n^2 - 2n + 4n = 6n^3 + 36n^2 + 2n.$$

Аппаратные сложности для прототипа и предлагаемого устройства, рассчитанные для различных n по формулам (1) и (2), приведены в таблице.

n	Предлагаемое устройство, ЭВ	Прототип, ЭВ	Разница, раз
10	$2,0 \times 10^3$	$1,1 \times 10^4$	5,6
100	$1,5 \times 10^5$	$6,5 \times 10^6$	42,2
1000	$1,5 \times 10^7$	$6,1 \times 10^9$	402,3

Из результатов расчета видно, что предлагаемое устройство обладает в 5,6–402,3 раза меньшей аппаратной сложностью по сравнению с прототипом в зависимости от размера матрицы n .

Список литературы

1. Handbook of discrete and combinatorial mathematics / К. Н. Rosen, J. G. Michaels, J. L. Gross, J. W. Grossman, D. R. Shier. New York: CRC Press, 2000. 1183 p.
2. Ватутин Э. И., Зотов И. В. Построение матрицы отношений в задаче оптимального разбиения параллельных управляющих алгоритмов // Известия Курского государственного технического университета. 2004. № 2. С. 85–89.
3. Гвоздева С. Н., Мартынов И. А., Ватутин Э. И. Последовательное устройство для умножения бинарных матриц // Интеллектуальные информационные системы: труды Всероссийской научно-технической конференции. Тула: Изд-во ТулГУ, 2019. С. 37–43.
4. Martynov I. A., Vatutin E. I., Titov V. S. Hardware oriented classification of binary relations of graph-schemes of parallel algorithms // Eighth World Conference on Intelligent Systems for Industrial Automation (WCIS – 2014). Tashkent, 2014. P. 70–73.
5. Пат. 193927 Российская Федерация / Гвоздева С. Н., Ватутин Э. И., Пшеничных А. О., Титов В. С. Заявл. 26.06.19; опубл. 21.11.19, Бюл. № 33.
6. Гвоздева С. Н., Ватутин Э. И. Оценка аппаратной сложности устройства умножения квадратных бинарных матриц размером $n \times n$ // Оптико-электронные приборы и устройства в системах распознавания образов и обработки изображений. Распознавание – 2019: сб. материалов XV Междунар. науч.-техн. конф. / ред. кол.: С. Г. Емельянов [и др.]; Юго-Зап. гос. ун-т. Курск, 2019. С. 66–68.

УДК 004.272

В. А. Павский¹, К. В. Павский^{2,3}¹ Кемеровский государственный университет (Россия, Кемерово)² Институт физики полупроводников им. А.В. Ржанова СО РАН (Россия, Новосибирск)³ Сибирский государственный университет телекоммуникаций и информатики (Россия, Новосибирск)**МАТЕМАТИЧЕСКАЯ МОДЕЛЬ МАСШТАБИРУЕМЫХ
ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ С РЕЗЕРВОМ ПРИ ПОЛНОМ
ВОССТАНОВЛЕНИИ И РАСЧЕТ ПОКАЗАТЕЛЕЙ НАДЕЖНОСТИ**

В рамках теории массового обслуживания рассматривается математическая модель функционирования масштабируемых вычислительных систем с резервом (структурной избыточностью). Предлагаются решения для вероятностей состояний резерва в стационарном режиме. Найдена вероятность нахождения вычислительной системы в состо-