

**С.Н. Гвоздева, Э.И. Ватутин**

e-mail: [svetka-gvozdeva@yandex.ru](mailto:svetka-gvozdeva@yandex.ru), [evatutin@rambler.ru](mailto:evatutin@rambler.ru)

Юго-Западный государственный университет, Курск

## **ОЦЕНКА АППАРАТНОЙ СЛОЖНОСТИ УСТРОЙСТВА УМНОЖЕНИЯ КВАДРАТНЫХ БИНАРНЫХ МАТРИЦ РАЗМЕРОМ $N \times N$**

*Представлен расчет аппаратной сложности устройства умножения квадратных бинарных матриц размером  $N \times N$  и сравнение данного устройства с прототипом.*

Задача нахождения произведения бинарных матриц встречается в ряде научно-технических задач. При обработке больших объемов данных повышаются требования к времени выполнения операции. В большей степени, время, затрачиваемое на ту или иную операцию, является определяющим фактором, от которого будет зависеть общее время решения поставленной задачи.

Рассмотрим устройство умножения бинарных квадратных матриц размером  $N \times N$ , отличающееся от прототипа [1] использованием триггеров вместо регистров для хранения коэффициентов перемножаемых матриц в блоке хранения и элементов И и ИЛИ вместо блоков умножения и сложения в операционной части устройства. Данное устройство содержит: ячейку блока хранения (ЯБХ), используемую для хранения битовых признаков бинарных отношений; блок коэффициентов (БК); операционный блок (ОБ).

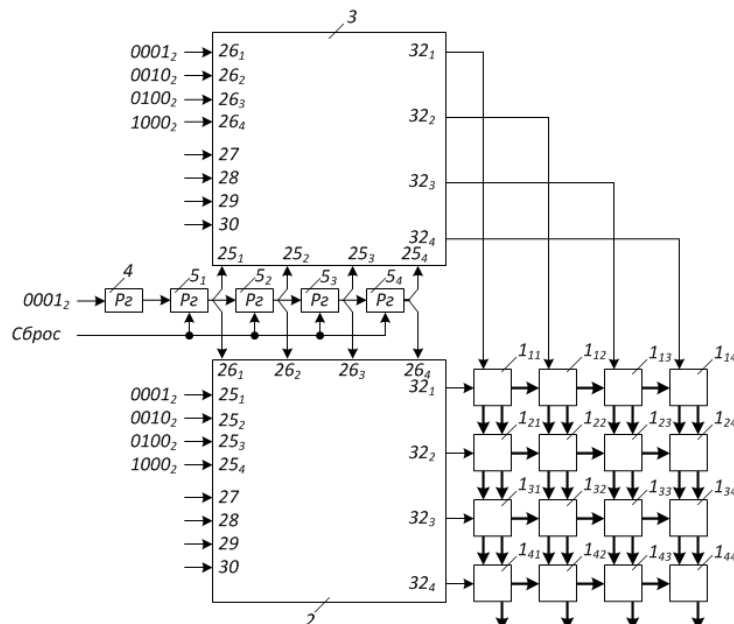


Рис. Функциональная схема устройства умножения матриц

На рисунке представлена функциональная схема устройства для умножения квадратных бинарных матриц, содержащая: 1 – матрицу  $n \times n$  операционных блоков, 2 – первый блок коэффициентов матрицы, 3 – второй

блок коэффициентов матрицы, 4 – сдвиговый регистр, 5 – группа из  $n$  двухступенчатых регистров

Оценка аппаратной сложности устройства производится в эквивалентных вентилях (ЭВ) (одно- или двухвходовых логических элементах, выполняющих элементарную логическую операцию). Аппаратная сложность устройства складывается из сложности блока хранения (БХ) и сложности обрабатывающей логики в его составе.

Ячейка блока хранения включает в себя следующие элементы: элемент И – 2 ЭВ; элемент ТТ – 4 ЭВ; элемент И – 2 ЭВ; элемент ИЛИ – 1 ЭВ.

Совокупная аппаратная сложность ячейки блока хранения может быть определена как

$$R_{\text{ЯБХ}} = R_{\text{И}} + (R_{\text{И}} + R_{\text{ИЛИ}})k + R_{\text{ТТ}} = 2 + (2 + 1)k + 4 = 6 + 3k,$$

где  $k$  – число портов чтения многопортового ОЗУ [2].

Общая сложность блока коэффициентов матрицы равна:

$$R_{\text{БК}} = N^2 R_{\text{ЯБХ}} + k(N - 1) = N^2(6 + 3k) + kN - k = 6N^2 + 3kN^2 + kN - k.$$

Операционный блок данного устройства содержит: триггеры ТТ<sub>1</sub>, ТТ<sub>2</sub>, ТТ<sub>3</sub>, причем аппаратная сложность триггеров ТТ<sub>1</sub>=ТТ<sub>2</sub>=ТТ<sub>3</sub> – 4 ЭВ; элемента И – 1 ЭВ; элемент ИЛИ – 1 ЭВ; элемент МUX11 ( $R_{\text{MUX11}}$ ) – 4 ЭВ.

Совокупная сложность операционного блока определяется как:

$$R_{\text{Б}} = 3R_{\text{ТТ6}} + R_{\text{И9}} + R_{\text{ИЛИ10}} + R_{\text{MUX11}} = 12 + 1 + 1 + 4 = 18,$$

$$R_{\text{ОБ}} = N^2 \cdot R_{\text{Б}} = 18N^2.$$

Общая аппаратная сложность устройства складывается из сложности блоков коэффициентов матрицы; набора регистров, включающего в себя сдвиговый регистр и  $N$  двухступенчатых регистров, причем сложность 1 регистра составляет  $4N$  ЭВ, всего регистров  $N+1$ ; сложности операционного блока устройства:

$$\begin{aligned} R_{\text{уст}} &= 2R_{\text{БК}} + 4N(N + 1) + R_{\text{Б}} = 2(6N^2 + 3kN^2 + kN - k) + 4N^2 + \\ &+ 4N + 18N^2 = 12N^2 + 6kN^2 + 2kN - 2k + 22N^2 + 4N = \\ &= 34N^2 + 6kN^2 + 2kN - 2k + 4N. \end{aligned}$$

Так как, число портов чтения  $k$  блоков хранения совпадает с размером перемножаемых матриц  $N$ , поэтому

$$R_{\text{уст}} = 34N^2 + 6N^3 + 2N^2 - 2N + 4N = 6N^3 + 36N^2 + 2N.$$

Существует устройство [1], которое является прототипом для рассматриваемого устройства. Общая аппаратная сложность прототипа складывается из тех же блоков, что и аппаратная сложность данного устройства, и равна

$$\begin{aligned} R_{\text{пр}} &= 27mN^2 + 3m^2N^2 + 6mN^3 + 2N^2 - 2N + 4N^2 + 4N = \\ &= 27mN^2 + 3m^2N^2 + 6mN^3 + 6N^2 + 2N. \end{aligned}$$

Значения величины  $R$  для прототипа и предлагаемого устройства, рассчитанные для различных  $N$  по выведенным формулам, приведены в таблице (разрядность хранимых значений прототипа  $m = 8$ ).

Таблица 1

$m$	$N$	Предлагаемое устройство, ЭВ	Прототип, ЭВ	Разница, раз
8	10	$9,6 \cdot 10^3$	$8,9 \cdot 10^4$	9,3
8	100	$6,4 \cdot 10^6$	$5,2 \cdot 10^7$	8,2
8	1000	$6,0 \cdot 10^9$	$4,8 \cdot 10^{10}$	8,0

Как видно из представленных в таблице данных, предлагаемое устройство имеет выигрыш в аппаратной сложности в 8–9,3 раза.

---

1. Ватутин Э.И., Мартынов И.А., Титов В.С. Патент на полезную модель № 157948. Заявл. 08.07.2015, опубл. 20.12.2015. Бюл. № 35.

2. Martynov I.A., Vatutin E.I., Titov V.S. Hardware oriented classification of binary relations of graph-schemes of parallel algorithms // Eighth World Conference on Intelligent Systems for Industrial Automation (WCIS – 2014). Tashkent, 2014. p. 70–73.