

Специализированное итерационное вычислительное устройство умножения бинарных матриц

Аннотация. В работе приведена структурно-функциональная организация специализированного вычислительного устройства для умножения бинарных матриц. К данной задаче сводится ряд других задач, имеющих важное практическое значение (транзитивное замыкание бинарных отношений, определение состава бинарных отношений для граф-схем алгоритмов, построение матриц достижимости и контрдостижимости в графах общего вида и др.). Существующие устройства обладают рядом недостатков, к которым можно отнести высокую аппаратную сложность и/или большое время решения поставленной задачи. Предлагаемое устройство базируется на классическом итерационном принципе умножения матриц, ориентировано на умножение бинарных матриц и обладает возможностью досрочного прерывания процесса умножения при обработке выбранной пары i -й строки и j -го столбца матрицы, что позволяет существенное сокращение затрат времени на выполнение операции умножения при работе с неплотными матрицами.

Ключевые слова: умножение матриц, бинарные матрицы, специализированные вычислительные устройства, транзитивное замыкание бинарных отношений.

Умножение матриц является широко известной задачей, для ее решения разработан ряд программных и аппаратных реализаций, ориентированных на различные классы аппаратного обеспечения с параллельной архитектурой. В ряде практически важных задач возникает необходимость в выполнении умножения (возведения в квадрат) бинарных матриц. К данному направлению относятся широко известные задачи построения матриц достижимости и контрдостижимости в графах [1], задачи, связанные с выяснением состава бинарных отношений для графов специального вида (например, граф-схем параллельных алгоритмов) [2], транзитивным замыканием бинарных отношений.

Известные программные реализации характеризуются достаточно большой вычислительной сложностью, ввиду чего разработан ряд алгоритмически, программно- и аппаратно-ориентированных подходов для ее снижения. В данной работе основное внимание уделено разработке специализированного итерационного устройства, базирующегося на классическом алгоритме умножения матриц. Его отличительными особенностями являются:

- ориентация на умножение бинарных матриц, что позволяет снизить аппаратную сложность и повысить быстродействие по сравнению с аналогичными устройствами для умножения матриц общего вида;
- использование специализированной многопортовой памяти, позволяющей производить параллельно во времени чтение элементов a_{ij} , b_{jk} и c_{kj} обрабатываемых матриц, что упрощает схемотехническую реализацию и

повышает быстродействие по сравнению с использованием классической однопортовой памяти;

- возможность досрочного прерывания процесса умножения i -й строки и j -го столбца, что при обработке матриц низкой плотности позволяет существенное (на 2–3 порядка) снижение объема необходимых вычислительных затрат [3].

Структурная схема предложенного устройства приведена на рисунке.

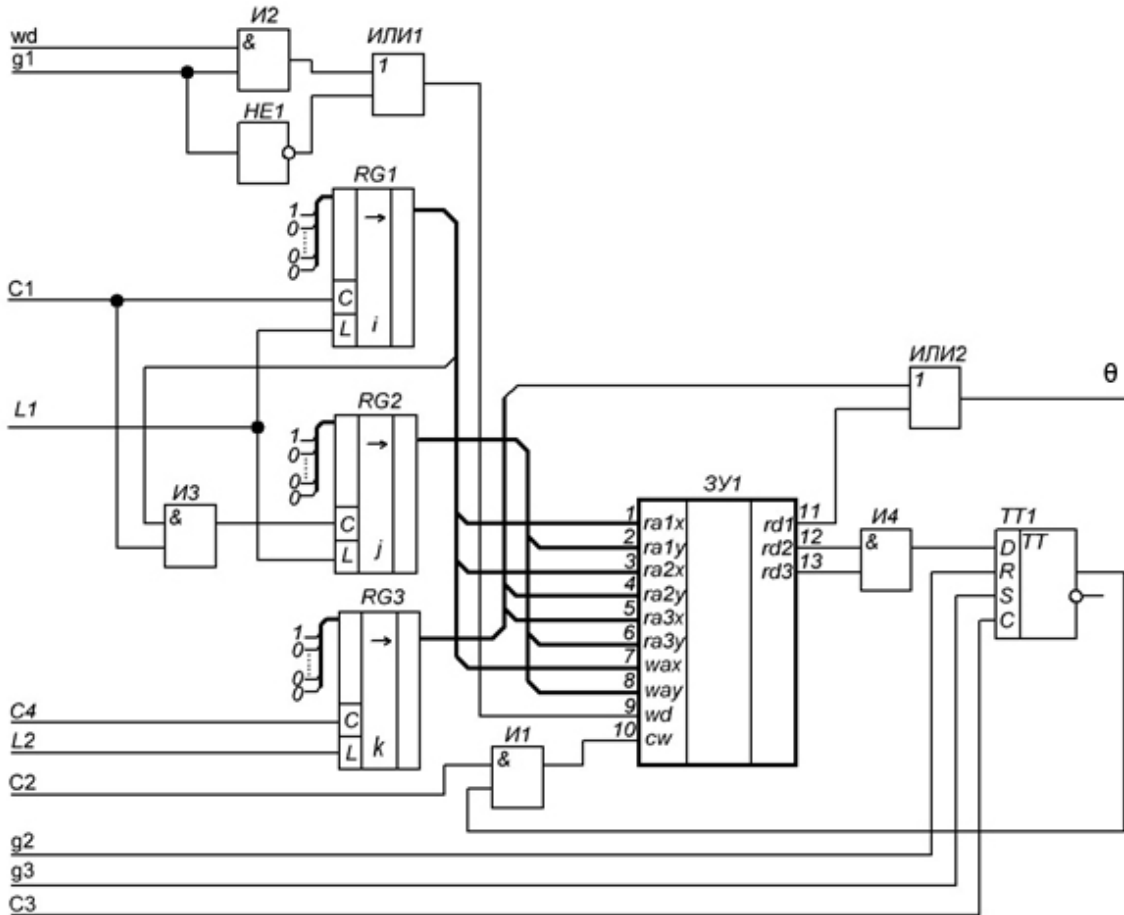


Рис. Структурная схема специализированного итерационного устройства умножения бинарных матриц

Оно включает в своем составе 3 сдвиговых регистра для адресации выбранной пары строки i , столбца j и элемента k в их составе; специализированное многопортовое запоминающее устройство с матричной организацией для хранения коэффициентов обрабатываемой бинарной матрицы и ряд логических элементов. Устройство позволяет эффективную реализацию принципа досрочного прерывания вычислительного процесса с формированием соответствующего признака готовности результата умножения i -й строки и j -го столбца и отличается от прототипа [4] более коротким критическим путем из логических элементов между триггерами, запоминающими промежуточные результаты умножения, что позволяет повысить его тактовую частоту и снизить затраты времени на получения результата умножения.

В перспективе дальнейших исследований планируется оценка быстродействия предложенной структурно-функциональной организации устройства, сопоставление с прототипом и оценка выигрыша.

Библиографический список

1. Зыков А.А. Основы теории графов. М.: Наука, 1987. 382 с.
2. Ватутин Э.И., Зотов И.В. Построение матрицы отношений в задаче оптимального разбиения параллельных управляющих алгоритмов // Известия Курского государственного технического университета. Курск, 2004. № 2. С. 85–89.
3. Гвоздева С.Н., Ватутин Э.И. Оценка вероятности досрочного прерывания процесса умножения бинарных матриц от их размера и плотности // Оптико-электронные приборы и устройства в системах распознавания образов и обработки изображений (Распознавание – 2021). Курск, 2021. С. 87–90.
4. Патент РФ № 2744239. Устройство для возведения бинарной матрицы в квадрат / Гвоздева С.Н., Ватутин Э.И., Титов В.С. Заявл. 05.07.2020, опубл. 04.03.2021.